

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-096881

(43)Date of publication of application : 25.03.2004

(51)Int.Cl.

H02M 3/07
H01L 21/822
H01L 27/04

(21)Application number : 2002-253964

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 30.08.2002

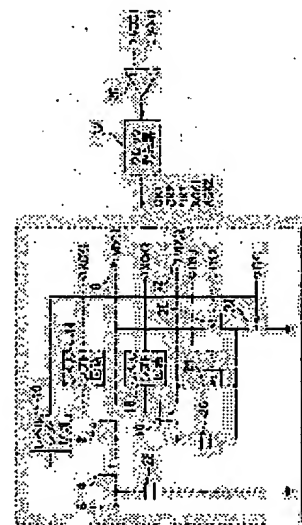
(72)Inventor : OTAKA NOBUYUKI

(54) BOOSTING CIRCUIT AND ITS INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a boosting voltage without causing voltage loss in a boosting circuit and its integrated circuit.

SOLUTION: This boosting circuit includes a plurality of input parts which are supplied with a plurality of input voltages, an output part which is outputted with the boosting voltage of the input voltage supplied in one of the plurality of input parts, a first switch element group for connecting a first capacitive element and one end of the first capacitive element with one of the plurality of the input parts or the output part, a second switch element group for connecting the other end of the first capacitive element with one of the plurality of input parts or a predetermined voltage part, and a second capacitive element connected between the output part and the predetermined voltage part. The first switching element group and the second switching element group are switched by a control signal, and the boosting voltage is obtained from the output part. The boosting voltage without voltage loss is obtained from the output part regardless of the number of power voltages and a multiple of the boosting voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

Two or more input sections to which two or more input voltage is supplied,
The output section to which the pressure-up electrical potential difference of said input voltage supplied for any of two or more of said input sections being is outputted,
The 1st capacitive element,
The 1st switching device group for connecting the end of said 1st capacitive element with either of said two or more input sections, or said output section,
The 2nd switching device group for connecting the other end of said 1st capacitive element with either of said two or more input sections, or the predetermined electrical-potential-difference section,
It has the 2nd capacitive element connected between said output section and the predetermined electrical-potential-difference section,
The booster circuit characterized by obtaining said pressure-up electrical potential difference for said 1st switching device group and said 2nd switching device group from a switch and said output section with a control signal.

[Claim 2]

The booster circuit according to claim 1 characterized by having the control signal generating section which generates the control signal for obtaining said pressure-up electrical potential difference for said 1st switching device group and said 2nd switching device group from a switch and said output section selectively.

[Claim 3]

Said control signal generating section is a booster circuit according to claim 2 characterized by generating said control signal that the end of said 1st capacitive element should be connected with any of two or more of said input sections they are, the other end of said 1st capacitive element should be connected with said predetermined electrical-potential-difference section, the end of said 1st capacitive element should be connected with said output section, and the other end of said 1st capacitive element should be connected with any of two or more of said input sections.

[Claim 4]

Said control signal generating section is a booster circuit according to claim 2 or 3 characterized by generating the control signal for detecting predetermined input voltage from said two or more input voltage, and obtaining the pressure-up electrical potential difference of said predetermined input voltage from said output section.

[Claim 5]

Said control signal generating section is a booster circuit according to claim 4 characterized by generating the control signal for detecting the highest input voltage from said two or more input voltage, and obtaining the pressure-up electrical potential difference of said highest input voltage from said output section.

[Claim 6]

Said 1st switching device group and said 2nd switching device group are a booster circuit given in claim 1 thru/or any of 5 they are. [which is characterized by being the transistor which said control signal is supplied and is turned on and off]

[Claim 7]

The booster circuit according to claim 6 characterized by having the level shift circuit which shifts said control signal to predetermined level when said transistor is turned on.

[Claim 8]

Said control signal is a booster circuit according to claim 6 characterized by having beforehand the level which can turn on said transistor.

[Claim 9]
The integrated circuit characterized by integrating a booster circuit given in any [claim 1 thru/or] of 8 they are.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to a booster circuit and its integrated circuit.

[0002]

[Description of the Prior Art]

As a booster circuit for carrying out pressure up of the input voltage to the output voltage of predetermined level, the charge pump circuit is known widely.

Here, the DC power supply obtained from a source power supply etc. through an adapter as a power source for driving a pocket device (for example, record playback devices, such as music and an image, a cellular phone) and the DC power supply obtained from a dc-battery are used. Even if the DC power supply of a dc-battery fall, a pocket device has some in which the booster circuit which chooses suitably either of the DC power supplies obtained from the DC power supply obtained from a source power supply etc. through an adapter or a dc-battery is built so that an internal circuitry can continue normal actuation, in order to mainly supply the DC power supply of a dc-battery and to operate.

[0003]

Drawing 11 is a circuit diagram which chooses any of two or more input voltage (supply voltage) they are, and carries out pressure up and in which showing an example of the conventional booster circuit. In addition, supply voltage VDD1 is used as the DC power supply (for example, 3.2V-4.2V) obtained from a dc-battery, and uses supply voltage VDD2 as the DC power supply (for example, 5V) obtained from a source power supply through an adapter.

[0004]

In drawing 11, when the pocket device equipped with a dc-battery is connected with a source power supply through an adapter (i.e., if supply voltage VDD1 and supply voltage VDD2 are supplied simultaneously), the cathode potential of the diode 302 by the side of supply voltage VDD1 will be pushed up, diode 302 will turn off, and supply voltage VDD2 will be supplied with the priority to a booster circuit through diode 304 by this. Moreover, when one supply voltage is supplied, only supply voltage of one of these will be supplied to a booster circuit.

[0005]

According to turning on and off of the P-channel MOS transistor 306 to which Clock CK and Clock XCK (reversal of Clock CK) are supplied thru/or 310, and the N-channel MOS transistor 312, pressure up of the supply voltage VDD1 (supply voltage VDD2) will be carried out, and this pressure-up electrical potential difference will be obtained from the output section.

[0006]

[Problem(s) to be Solved by the Invention]

However, the ends electrical potential difference of a capacitor 314 produces the voltage drop for a standup electrical potential difference of diode 302 (diode 304) from supply voltage VDD1 (supply voltage VDD2). In connection with this, the ends electrical potential difference of the capacitor 316 by the side of the output section will produce the twice as many voltage drop as this. That is, in a pocket device, since the supply voltage itself was low, when the voltage drop whose supply voltage is twice the standup electrical potential difference of diode was produced, there was a problem it becomes impossible to acquire sufficient pressure-up effectiveness. In addition, although the booster circuit of drawing 11 obtains one twice the pressure-up electrical potential difference of supply voltage, this problem will become so remarkable that a larger pressure-up electrical potential difference than twice is obtained.

[0007]

[Means for Solving the Problem]

Two or more input sections to which, as for main invention for solving said technical problem, two or more input voltage is supplied, The output section to which the pressure-up electrical potential difference of said input voltage supplied for any of two or more of said input sections being is outputted, The end of the 1st capacitative element and said 1st capacitative element in any of two or more of said input sections Or the 1st switching device group for connecting with said output section, The other end of said 1st capacitative element in any of two or more of said input sections Or the 2nd switching device group for connecting with the predetermined electrical-potential-difference section, The booster circuit characterized by having the 2nd capacitative element connected between said output section and the predetermined electrical-potential-difference section, and obtaining said pressure-up electrical potential difference for said 1st switching device group and said 2nd switching device group from a switch and said output section with a control signal.

[0008]

The place by which it is characterized other than the above of this invention becomes clear by the publication of this description and an accompanying drawing.

[0009]

[Embodiment of the Invention]

= Outline == of == disclosure

By the publication of this description and an accompanying drawing, the following matters become clear at least. Two or more input sections to which two or more input voltage is supplied, and the output section to which the pressure-up electrical potential difference of said input voltage supplied for any of two or more of said input sections being is outputted, The end of the 1st capacitative element and said 1st capacitative element in any of two or more of said input sections Or the 1st switching device group for connecting with said output section, The other end of said 1st capacitative element in any of two or more of said input sections Or the 2nd switching device group for connecting with the predetermined electrical-potential-difference section, The booster circuit characterized by having the 2nd capacitative element connected between said output section and the predetermined electrical-potential-difference section, and obtaining said pressure-up electrical potential difference for said 1st switching device group and said 2nd switching device group from a switch and said output section with a control signal.

According to said booster circuit, by switching suitably the 1st switching device group and the 2nd switching device group with a control signal, even if it is the case where a what time [of two or more input voltage] pressure-up electrical potential difference is obtained, it becomes possible to obtain the pressure-up electrical potential difference which does not produce an electrical-potential-difference loss.

[0010]

Moreover, suppose that it has the control signal generating section which generates the control signal for obtaining said pressure-up electrical potential difference for said 1st switching device group and said 2nd switching device group from a switch and said output section selectively in this booster circuit. And said control signal generating section should just decide to generate said control signal that the end of said 1st capacitative element should be connected with any of two or more of said input sections they are, the other end of said 1st capacitative element should be connected with said predetermined electrical-potential-difference section, the end of said 1st capacitative element should be connected with said output section, and the other end of said 1st

capacitive element should be connected with any of two or more of said input sections.

According to said booster circuit, by having the control signal generating section, it switches suitably any of the 1st switching device group and the 2nd switching device group they are, and it becomes possible to obtain the pressure-up electrical potential difference which does not produce an electrical-potential-difference loss.

[0011]

Moreover, in this booster circuit, said control signal generating section detects predetermined input voltage from said two or more input voltage, and decides to generate the control signal for obtaining the pressure-up electrical potential difference of said predetermined input voltage from said output section. Said especially control signal generating section detects the highest input voltage from said two or more input voltage, and decides to generate the control signal for obtaining the pressure-up electrical potential difference of said highest input voltage from said output section.

According to said booster circuit, it becomes possible to obtain preferentially the pressure-up electrical potential difference which does not produce an electrical-potential-difference loss from the supply voltage obtained from a source power supply through an adapter by detecting the highest input voltage.

[0012]

Moreover, in this booster circuit, said 1st switching device group and said 2nd switching device group are good also as being the transistor which said control signal is supplied and is turned on and off.

According to said booster circuit, it becomes possible to obtain the pressure-up electrical potential difference which does not produce an electrical-potential-difference loss by turning on and off and switching a transistor.

[0013]

Moreover, in this booster circuit, when said transistor is turned on, it is good also as having the level shift circuit which shifts said control signal to predetermined level.

According to said booster circuit, it becomes possible to obtain certainly the pressure-up electrical potential difference which does not produce an electrical-potential-difference loss by turning a transistor on and off using a level shift circuit.

[0014]

Moreover, in this booster circuit, said control signal is good also as having beforehand the level which can turn on said transistor.

According to said booster circuit, a control signal becomes possible [obtaining certainly the pressure-up electrical potential difference which does not produce an electrical-potential-difference loss by having the level which can turn on a transistor].

[0015]

Furthermore, this booster circuit may be integrated.

[0016]

== = 1st operation gestalt == =

The booster circuit of this invention is explained referring to drawing 1 thru/or drawing 3. Drawing 1 is the circuit block diagram showing an example of the booster circuit of this invention. Drawing 2 is a timing diagram when carrying out pressure up of the supply voltage VDD1. Drawing 3 is a timing diagram when carrying out pressure up of the supply voltage VDD2. In addition, the booster circuit of drawing 1 is explained as what is built for example, in a pocket device. Here, the DC power supply by which supply voltage VDD1 is obtained from a dc-battery, and supply voltage VDD2 shall be DC power supplies obtained from a source power supply through an adapter.

[0017]

<< — configuration [of the 1st operation gestalt] >>

In drawing 1, as for the P-channel MOS transistors 2 and 4, the series connection of the drain source way is carried out between the input section 6 of supply voltage VDD1, and the output section 8 of a pressure-up electrical potential difference. Moreover, as for the P-channel MOS transistor 10, the drain source way is connected between the drain source nodes of the input section 12 of supply voltage VDD2, and the P-channel MOS transistors 2 and 4. Moreover, the P-channel MOS transistor 2 is connected with the output side of the level shift circuit 14 for the gate to carry out the level shift of the clock XCK1, the P-channel MOS transistor 4 is connected with the output side of the level shift circuit 16 for the gate to carry out the level shift of the clock CK 1, and the P-channel MOS transistor 10 is connected with the output side of the level shift circuit 18 for the gate

to carry out the level shift of the clock XCK2. These P-channel MOS transistors 2, 4, and 10 constitute the 1st switching device group told to a claim.

[0018]

As for the P-channel MOS transistor 20 and the N-channel MOS transistor 22, the series connection of the drain source way is carried out between the input section 6 and touch-down (predetermined electrical-potential-difference section). Moreover, as for the P-channel MOS transistor 24, the drain source way is connected between the source nodes of the input section 12, the P-channel MOS transistor 20, and the N-channel MOS transistor 22. Moreover, a clock CK 2 is supplied to the gate, a clock CK 1 is supplied to the gate, and, as for the P-channel MOS transistor 20, a clock CK 3 is supplied for the N-channel MOS transistor 22 to the gate, as for the P-channel MOS transistor 24. These P-channel MOS transistors 20 and 24 and the N-channel MOS transistor 22 constitute the 2nd switching device group told to a claim.

[0019]

As for a capacitor 26 (the 1st capacitive element), the ends are connected between the drain source node of the P-channel MOS transistors 2 and 4, and the drain node of the P-channel MOS transistor 20 and the N-channel MOS transistor 22. Moreover, as for a capacitor 28 (the 2nd capacitive element), the ends are connected between the output section 8 and touch-down.

[0020]

In addition, clocks CK1, CK2, CK3, XCK1, and XCK2 are the same frequencies, and clocks CK1, CK2, and CK3 are opposite phases in clocks XCK1 and XCK2. Moreover, since the end of the non-grounded side of capacitors 26 and 28 goes up to 2 double value of supply voltage, since the P-channel MOS transistors 2, 4, and 10 are certainly turned on, the level shift circuits 14, 16, and 18 are formed. However, clocks CK1, XCK1, and XCK2 are not concerned with the drain source electrical potential difference of the P-channel MOS transistors 2, 4, and 10, but if it has the level which can certainly turn on the P-channel MOS transistors 2, 4, and 10, the level shift circuits 14, 16, and 18 will become unnecessary.

[0021]

Supply voltage VDD2 (or the partial pressure value) is supplied to - (reversal input) terminal, and a comparator 30 detects which supply voltage the pocket device is using while supply voltage VDD1 (or the partial pressure value) is supplied to + (noninverting input) terminal. If it explains in full detail, while the pocket device is using the DC power supply obtained from a dc-battery, a comparator 30 will serve as $VDD1 > VDD2$, and will output logical-value "H". Moreover, while the pocket device is using the DC power supply obtained from a source power supply, a comparator 30 is not concerned with the existence of an activity of a dc-battery, but serves as $VDD1 < VDD2$, and outputs a logical value "L."

[0022]

The clock generation machine 32 generates the clocks CK1, CK2, CK3, XCK1, and XCK2 (control signal) for carrying out pressure up of any of supply voltage VDD1 or supply voltage VDD2 they are according to the output logical value of a comparator 30. If it explains in full detail, the clock generation machine 32 will generate the clocks CK1, CK2, CK3, XCK1, and XCK2 for carrying out pressure up of the supply voltage VDD1 shown in drawing 2, when a comparator 30 outputs logical-value "H". On the other hand, the clock generation machine 32 generates the clocks CK1, CK2, CK3, XCK1, and XCK2 (control signal) for carrying out pressure up of the supply voltage VDD2 shown in drawing 3, when a comparator 30 outputs a logical value "L."

[0023]

In addition, a comparator 30 and the clock generation machine 32 constitute the control signal generating section which the configuration from a microcomputer is possible and is told to a claim. Moreover, it is also possible to integrate whole drawing 1 or a part.

[0024]

<< — actuation [of the 1st operation gestalt] >>

When the logical value from a comparator 30 is "H", the clock generation section 32 generates the clocks CK1, CK2, CK3, XCK1, and XCK2 of the condition of drawing 2 according to the output of a comparator 30. At this time, clocks CK1, CK2, and XCK1 repeat the high level and low level of predetermined frequency, and clocks CK3 and XCK2 are being fixed high-level. That is, the P-channel MOS transistors 10 and 24 turn off, and the supply way of the supply voltage VDD2 to a booster circuit is intercepted.

[0025]

First, when clocks CK1 and CK2 are high level and a clock XCK1 is a low level, the P-channel MOS transistor 2 and the N-channel MOS transistor 22 turn on, the potential of the non-grounded side of a capacitor 26 is set to VDD1, and the potential of the earth side of a capacitor 26 is grounded. Next, when clocks CK1 and CK2 change high-level [a low level and a clock XCK1], it turns on in the condition with the P-channel MOS transistors 4 and 20 complementary [the P-channel MOS transistor 2 and the N-channel MOS transistor 22], the potential of the earth side of a capacitor 26 rises from touch-down to VDD1, and the potential of the non-grounded side of a capacitor 26 rises from VDD1 to 2VDD(s)1 in connection with this. That is, the potential of the non-grounded side of a capacitor 28 serves as 2VDD(s)1. By repeating the above-mentioned actuation, supply voltage twice the pressure-up electrical potential difference of VDD1 will continue, and it will be obtained from the output section 8.

[0026]

On the other hand, when the logical value from a comparator 30 is "L", according to the output of a comparator 30, as for the clock generation section 32, the clocks CK1, CK2, CK3, XCK1, and XCK2 of the condition of drawing 3 are generated. At this time, clocks CK1, CK3, and XCK2 repeat the high level and low level of predetermined frequency, and clocks CK2 and XCK1 are being fixed high-level. That is, the P-channel MOS transistors 2 and 20 turn off, and the supply way of the supply voltage VDD1 to a booster circuit is intercepted.

[0027]

First, when clocks CK1 and CK3 are high level and a clock XCK2 is a low level, the P-channel MOS transistor 10 and the N-channel MOS transistor 22 turn on, the potential of the non-grounded side of a capacitor 26 is set to VDD2, and the potential of the earth side of a capacitor 26 is grounded. Next, when clocks CK1 and CK3 change high-level [a low level and a clock XCK2], it turns on in the condition with the P-channel MOS transistors 4 and 24 complementary [the P-channel MOS transistor 10 and the N-channel MOS transistor 22], the potential of the earth side of a capacitor 26 rises from touch-down to VDD2, and the potential of the non-grounded side of a capacitor 26 rises from VDD2 to 2VDD(s)2 in connection with this. That is, the potential of the non-grounded side of a capacitor 28 serves as 2VDD(s)2. By repeating the above-mentioned actuation, supply voltage twice the pressure-up electrical potential difference of VDD2 will continue, and it will be obtained from the output section 8. As mentioned above, it becomes possible from the output section 8 to obtain the pressure-up electrical potential difference which does not produce an electrical-potential-difference loss.

[0028]

== 2nd operation gestalt ==

Next, the booster circuit of this invention is explained, referring to drawing 4 thru/or drawing 7. Drawing 4 is the circuit block diagram showing other examples of the booster circuit of this invention. Drawing 5 is a timing diagram when carrying out pressure up of the supply voltage VDD1. Drawing 6 is a timing diagram when carrying out pressure up of the supply voltage VDD2. Drawing 7 is a timing diagram when carrying out pressure up of the supply voltage VDD3. In addition, the booster circuit of drawing 4 is explained like the booster circuit of drawing 1 as what is built in a pocket device. Here, the DC power supply by which the DC power supply by which supply voltage VDD1 is obtained from a dc-battery, and supply voltage VDD2 are obtained from a source power supply through an adapter, and supply voltage VDD3 shall be DC power supplies obtained from other power sources (for example, dc-battery of a car etc.) through an adapter.

[0029]

<< — configuration [of the 2nd operation gestalt] >>

The booster circuit of drawing 4 improves the booster circuit of drawing 1. Then, suppose that the explanation is omitted only by writing the same number in addition about the same component as drawing 1.

[0030]

In drawing 4, as for the P-channel MOS transistor 102, the drain source way is connected between the drain source nodes of the input section 104 of supply voltage VDD3, and the P-channel MOS transistors 2 and 4. Moreover, the P-channel MOS transistor 102 is connected with the output side of the level shift circuit 106 for the gate to carry out the level shift of the clock XCK3. And the P-channel MOS transistors 2, 4, and 10, 102 constitute the 1st switching device group told to a claim.

[0031]

As for the P-channel MOS transistor 108, the drain source way is connected between the source nodes of the

input section 104, the P-channel MOS transistor 20, and the N-channel MOS transistor 22. Moreover, as for the P-channel MOS transistor 108, a clock CK 4 is supplied to the gate. And the P-channel MOS transistors 20 and 24, 108 and the N-channel MOS transistor 22 constitute the 2nd switching device group told to a claim.

[0032]

In addition, clocks CK1, CK2, CK3, CK4, XCK1, XCK2, and XCK3 are the same frequencies, and clocks CK1, CK2, CK3, and CK4 are opposite phases in clocks XCK1, XCK2, and XCK3. Moreover, since the end of the non-grounded side of a capacitor 26 goes up to 2 double value of supply voltage, since the P-channel MOS transistor 102 is certainly turned on, the level shift circuit 106 is formed. However, a clock XCK3 is not concerned with the drain source electrical potential difference of the P-channel MOS transistor 102, but if it has the level which can certainly turn on the P-channel MOS transistor 102, the level shift circuit 106 will become unnecessary.

[0033]

Supply voltage VDD1 (or the partial pressure value), supply voltage VDD2 (or the partial pressure value), and supply voltage VDD3 (or the partial pressure value) are supplied, and a comparator 110 detects which supply voltage the pocket device is using. If it explains in full detail, a comparator 110 will output a logical value "HH", while the pocket device is using the DC power supply obtained from a dc-battery. Moreover, while the pocket device is using the DC power supply obtained from a source power supply, a comparator 110 is not concerned with the existence of an activity of a dc-battery, but outputs a logical value "LH." Moreover, while the pocket device is using the DC power supply obtained from other power sources, a comparator 110 is not concerned with the existence of an activity of a dc-battery, but outputs a logical value "HL." In addition, the **** value of a comparator 110 is for distinguishing the supply voltage which the pocket device is using, and matching of a logical value and supply voltage can be changed suitably.

[0034]

The clock generation machine 112 generates the clocks CK1, CK2, CK3, CK4, XCK1, XCK2, and XCK3 (control signal) for carrying out pressure up of any of supply voltage VDD1, supply voltage VDD2, and supply voltage VDD3 they are according to the output logical value of a comparator 110. If it explains in full detail, the clock generation machine 112 will generate the clocks CK1, CK2, CK3, CK4, XCK1, XCK2, and XCK3 for carrying out pressure up of the supply voltage VDD1 shown in drawing 5, when a comparator 110 outputs a logical value "HH." Moreover, the clock generation machine 112 generates the clocks CK1, CK2, CK3, CK4, XCK1, XCK2, and XCK3 (control signal) for carrying out pressure up of the supply voltage VDD2 shown in drawing 6, when a comparator 110 outputs a logical value "LH." Furthermore, the clock generation machine 112 generates the clocks CK1, CK2, CK3, CK4, XCK1, XCK2, and XCK3 for carrying out pressure up of the supply voltage VDD3 shown in drawing 7, when a comparator 110 outputs a logical value "HL."

[0035]

In addition, a comparator 110 and the clock generation machine 112 constitute the control signal generating section which the configuration from a microcomputer is possible and is told to a claim. Moreover, it is also possible to integrate whole drawing 4 or a part.

[0036]

<< — actuation [of the 2nd operation gestalt] >>

When the logical value from a comparator 110 is "HH", the clock generation section 112 generates the clocks CK1, CK2, CK3, CK4, XCK1, XCK2, and XCK3 of the condition of drawing 5 according to the output of a comparator 110. At this time, clocks CK1, CK2, and XCK1 repeat the high level and low level of predetermined frequency, and clocks CK3, CK4, XCK2, and XCK3 are being fixed high-level. That is, by the P-channel MOS transistors 10 and 24 turning off, while the supply way of the supply voltage VDD2 to a booster circuit is intercepted, the P-channel MOS transistors 102 and 108 turn off, and the supply way of the supply voltage VDD3 to a booster circuit is also intercepted.

[0037]

First, when clocks CK1 and CK2 are high level and a clock XCK1 is a low level, the P-channel MOS transistor 2 and the N-channel MOS transistor 22 turn on, the potential of the non-grounded side of a capacitor 26 is set to VDD1, and the potential of the earth side of a capacitor 26 is grounded. Next, when clocks CK1 and CK2 change high-level [a low level and a clock XCK1], it turns on in the condition with the P-channel MOS transistors 4 and 20 complementary [the P-channel MOS transistor 2 and the N-channel MOS transistor 22], the potential of the

earth side of a capacitor 26 rises from touch-down to VDD1, and the potential of the non-grounded side of a capacitor 26 rises from VDD1 to 2VDD(s)1 in connection with this. That is, the potential of the non-grounded side of a capacitor 28 serves as 2VDD(s)1. By repeating the above-mentioned actuation, supply voltage twice the pressure-up electrical potential difference of VDD1 will continue, and it will be obtained from the output section 8. [0038]

Moreover, when the logical value from a comparator 110 is "LH", the clock generation section 112 generates the clocks CK1, CK2, CK3, CK4, XCK1, XCK2, and XCK3 of the condition of drawing 6 according to the output of a comparator 110. At this time, clocks CK1, CK3, and XCK2 repeat the high level and low level of predetermined frequency, and clocks CK2, CK4, XCK1, and XCK3 are being fixed high-level. That is, by the P-channel MOS transistors 2 and 20 turning off, while the supply way of the supply voltage VDD1 to a booster circuit is intercepted, the P-channel MOS transistors 102 and 108 turn off, and the supply way of the supply voltage VDD3 to a booster circuit is also intercepted.

[0039]

First, when clocks CK1 and CK3 are high level and a clock XCK2 is a low level, the P-channel MOS transistor 10 and the N-channel MOS transistor 22 turn on, the potential of the non-grounded side of a capacitor 26 is set to VDD2, and the potential of the earth side of a capacitor 26 is grounded. Next, when clocks CK1 and CK3 change high-level [a low level and a clock XCK2], it turns on in the condition with the P-channel MOS transistors 4 and 24 complementary [the P-channel MOS transistor 10 and the N-channel MOS transistor 22], the potential of the earth side of a capacitor 26 rises from touch-down to VDD2, and the potential of the non-grounded side of a capacitor 26 rises from VDD2 to 2VDD(s)2 in connection with this. That is, the potential of the non-grounded side of a capacitor 28 serves as 2VDD(s)2. By repeating the above-mentioned actuation, one twice the pressure-up electrical potential difference of supply voltage will continue, and it will be obtained from the output section 8.

[0040]

Furthermore, when the logical value from a comparator 110 is "HL", the clock generation section 112 generates the clocks CK1, CK2, CK3, CK4, XCK1, XCK2, and XCK3 of the condition of drawing 7 according to the output of a comparator 110. At this time, clocks CK1, CK4, and XCK3 repeat the high level and low level of predetermined frequency, and clocks CK2, CK3, XCK1, and XCK2 are being fixed high-level. That is, by the P-channel MOS transistors 2 and 20 turning off, while the supply way of the supply voltage VDD1 to a booster circuit is intercepted, the P-channel MOS transistors 10 and 24 turn off, and the supply way of the supply voltage VDD2 to a booster circuit is also intercepted.

[0041]

First, when clocks CK1 and CK4 are high level and a clock XCK3 is a low level, the P-channel MOS transistor 102 and the N-channel MOS transistor 22 turn on, the potential of the non-grounded side of a capacitor 26 is set to VDD3, and the potential of the earth side of a capacitor 26 is grounded. Next, when clocks CK1 and CK4 change high-level [a low level and a clock XCK3], it turns on in the condition with the P-channel MOS transistor 4, 108 complementary [the P-channel MOS transistor 102 and the N-channel MOS transistor 22], the potential of the earth side of a capacitor 26 rises from touch-down to VDD3, and the potential of the non-grounded side of a capacitor 26 rises from VDD3 to 2VDD(s)3 in connection with this. That is, the potential of the non-grounded side of a capacitor 28 serves as 2VDD(s)3. By repeating the above-mentioned actuation, supply voltage twice the pressure-up electrical potential difference of VDD3 will continue, and it will be obtained from the output section 8. As mentioned above, it is not concerned with the number of supply voltage, but it becomes possible from the output section 8 to obtain the pressure-up electrical potential difference which does not produce an electrical-potential-difference loss.

[0042]

== 3rd operation gestalt ==

Next, the booster circuit of this invention is explained, referring to drawing 8 thru/or drawing 10. Drawing 8 is the circuit block diagram showing other examples of the booster circuit of this invention. Drawing 9 is a timing diagram when carrying out pressure up of the supply voltage VDD1. Drawing 10 is a timing diagram when carrying out pressure up of the supply voltage VDD2. In addition, the booster circuit of drawing 8 is explained like the booster circuit of drawing 1 as what is built in a pocket device. Here, the DC power supply by which supply voltage VDD1 is obtained from a dc-battery, and supply voltage VDD2 shall be DC power supplies obtained from a

source power supply through an adapter.

[0043]

<< — configuration [of the 3rd operation gestalt] >>

In drawing 8, as for the P-channel MOS transistors 202, 204, and 206, the series connection of the drain source way is carried out between the input section 208 of supply voltage VDD1, and the output section 210 of a pressure-up electrical potential difference. Moreover, as for the P-channel MOS transistor 212, the drain source way is connected between the drain source nodes of the input section 214 of supply voltage VDD2, and the P-channel MOS transistors 202 and 204. Moreover, the P-channel MOS transistor 202 is connected with the output side of the level shift circuit 216 for the gate to carry out the level shift of the clock XCK2. The P-channel MOS transistor 204 is connected with the output side of the level shift circuit 218 for the gate to carry out the level shift of the clock CK 1. The P-channel MOS transistor 206 It connects with the output side of the level shift circuit 220 for the gate to carry out the level shift of the clock XCK3, and the P-channel MOS transistor 212 is further connected with the output side of the level shift circuit 222 for the gate to carry out the level shift of the clock XCK4. These P-channel MOS transistors 202, 204, 206, and 212 constitute the 1st switching device group told to a claim.

[0044]

As for the P-channel MOS transistor 224 and the N-channel MOS transistor 226, the series connection of the drain source way is carried out between the input section 208 and touch-down (predetermined electrical-potential-difference section). Moreover, as for the P-channel MOS transistor 228, the drain source way is connected between the source nodes of the input section 214, the P-channel MOS transistor 224, and the N-channel MOS transistor 226. Moreover, as for the P-channel MOS transistor 230 and the N-channel MOS transistor 232, the series connection of the drain source way is carried out between the input section 208 and touch-down. Moreover, as for the P-channel MOS transistor 234, the drain source way is connected between the source nodes of the input section 214, the P-channel MOS transistor 230, and the N-channel MOS transistor 232. Moreover, a clock CK 2 is supplied to the gate, a clock CK 1 is supplied to the gate, and, as for the P-channel MOS transistor 224, a clock XCK3 is supplied for the N-channel MOS transistor 226 to the gate, as for the P-channel MOS transistor 228. Moreover, a clock XCK2 is supplied to the gate, a clock XCK1 is supplied to the gate, and, as for the P-channel MOS transistor 230, a clock XCK4 is supplied for the N-channel MOS transistor 232 to the gate, as for the P-channel MOS transistor 234. These P-channel MOS transistors 224, 228, 230, and 234 and the N-channel MOS transistors 226 and 232 constitute the 2nd switching device group told to a claim.

[0045]

As for a capacitor 236 (the 1st capacitive element), the ends are connected between the drain source node of the P-channel MOS transistors 202 and 204, and the drain node of the P-channel MOS transistor 224 and the N-channel MOS transistor 226. Moreover, as for a capacitor 238 (the 1st capacitive element), the ends are connected between the drain source node of the P-channel MOS transistors 204 and 206, and the drain node of the P-channel MOS transistor 230 and the N-channel MOS transistor 232. Furthermore, as for a capacitor 240 (the 2nd capacitive element), the ends are connected between the output section 210 and touch-down (predetermined electrical-potential-difference section).

[0046]

In addition, clocks CK1, CK2, CK3, XCK1, XCK2, XCK3, and XCK4 are the same frequencies, and clocks CK1, CK2, and CK3 are opposite phases in clocks XCK1, XCK2, XCK3, and XCK4. Moreover, since the end of the non-grounded side of a capacitor 236 goes up to 2 double value of supply voltage and the end of the non-grounded side of capacitors 238 and 240 goes up to the 3 time value of supply voltage, since the P-channel MOS transistors 202, 204, 206, and 212 are certainly turned on, the level shift circuits 216, 218, 220, and 222 are formed. However, clocks CK1, CK3, XCK2, and XCK3 are not concerned with the drain source electrical potential difference of the P-channel MOS transistors 202, 204, 206, and 212, but if it has the level which can certainly turn on the P-channel MOS transistors 202, 204, 206, and 212, the level shift circuits 216, 218, 220, and 222 will become unnecessary.

[0047]

Supply voltage VDD2 (or the partial pressure value) is supplied to - (reversal input) terminal, and a comparator 242 detects which supply voltage the pocket device is using while supply voltage VDD1 (or the partial pressure

value) is supplied to + (noninverting input) terminal. If it explains in full detail, while the pocket device is using the DC power supply obtained from a dc-battery, a comparator 242 will serve as $VDD1 > VDD2$, and will output logical-value "H". Moreover, while the pocket device is using the DC power supply obtained from a source power supply, a comparator 242 is not concerned with the existence of an activity of a dc-battery, but serves as $VDD1 < VDD2$, and outputs a logical value "L."

[0048]

The clock generation machine 244 generates the clocks CK1, CK2, CK3, XCK1, XCK2, XCK3, and XCK4 (control signal) for carrying out pressure up of any of supply voltage VDD1 or supply voltage VDD2 they are according to the output logical value of a comparator 242. If it explains in full detail, the clock generation machine 244 will generate the clocks CK1, CK2, CK3, XCK1, XCK2, XCK3, and XCK4 for carrying out pressure up of the supply voltage VDD1 shown in drawing 9, when a comparator 242 outputs logical-value "H". On the other hand, the clock generation machine 244 generates the clocks CK1, CK2, CK3, XCK1, XCK2, XCK3, and XCK4 (control signal) for carrying out pressure up of the supply voltage VDD2 shown in drawing 10, when a comparator 242 outputs a logical value "L."

[0049]

In addition, a comparator 242 and the clock generation machine 244 constitute the control signal generating section which the configuration from a microcomputer is possible and is told to a claim. Moreover, it is also possible to integrate whole drawing 8 or a part.

[0050]

<< -- actuation [of the 3rd operation gestalt] >>

When the logical value from a comparator 242 is "H", the clock generation section 244 generates the clocks CK1, CK2, CK3, XCK1, XCK2, XCK3, and XCK4 of the condition of drawing 9 according to the output of a comparator 242. At this time, clocks CK1, CK2, XCK1, XCK2, and XCK3 repeat the high level and low level of predetermined frequency, and clocks CK3 and XCK4 are being fixed high-level. That is, the P-channel MOS transistors 212, 228, and 234 turn off, and the supply way of the supply voltage VDD2 to a booster circuit is intercepted.

[0051]

First, when clocks CK1 and CK2 are high level and clocks XCK1, XCK2, and XCK3 are low level, the P-channel MOS transistors 202, 206, and 230 and the N-channel MOS transistor 226 turn on, the potential of the non-grounded side of a capacitor 236 is set to VDD1, and the potential of the earth side of a capacitor 236 is grounded.

Next, when clocks CK1 and CK2 change high-level [a low level and clocks XCK1, XCK2, and XCK3], the P-channel MOS transistors 204 and 224 and the N-channel MOS transistor 232 turn on, the potential of the earth side of a capacitor 236 rises from touch-down to VDD1, and the potential of the non-grounded side of a capacitor 236 rises from VDD1 to $2VDD(s)1$ in connection with this. That is, the potential of the non-grounded side of a capacitor 28 serves as $2VDD(s)1$.

Next, when clocks CK1 and CK2 change to high level and clocks XCK1, XCK2, and XCK3 change to a low level again, the P-channel MOS transistors 202, 206, and 230 and the N-channel MOS transistor 226 turn on, the potential of the earth side of a capacitor 238 rises from touch-down to VDD1, and the potential of the non-grounded side of a capacitor 238 rises from $2VDD(s)1$ to $3VDD(s)1$ in connection with this. That is, the potential of the non-grounded side of a capacitor 240 serves as $3VDD(s)1$. By repeating the above-mentioned actuation, one 3 times the pressure-up electrical potential difference of supply voltage will continue, and it will be obtained from the output section 210.

[0052]

On the other hand, when the logical value from a comparator 242 is "L", according to the output of a comparator 242, as for the clock generation section 244, the clocks CK1, CK2, CK3, XCK1, XCK2, XCK3, and XCK4 of the condition of drawing 10 are generated. At this time, clocks CK1, CK3, XCK1, XCK3, and XCK4 repeat the high level and low level of predetermined frequency, and clocks CK2 and XCK2 are being fixed high-level. That is, the P-channel MOS transistors 202, 224, and 230 turn off, and the supply way of the supply voltage VDD1 to a booster circuit is intercepted.

[0053]

First, when clocks CK1 and CK3 are high level and clocks XCK1, XCK3, and XCK4 are low level, the P-channel

MOS transistors 206, 212, and 234 and the N-channel MOS transistor 226 turn on, the potential of the non-grounded side of a capacitor 236 is set to VDD2, and the potential of the earth side of a capacitor 236 is grounded.

Next, when clocks CK1 and CK3 change high-level [a low level and clocks XCK1, XCK3, and XCK4], the P-channel MOS transistors 204 and 228 and the N-channel MOS transistor 232 turn on, the potential of the earth side of a capacitor 236 rises from touch-down to VDD2, and the potential of the non-grounded side of a capacitor 236 rises from VDD2 to 2VDD(s)2 in connection with this. That is, the potential of the non-grounded side of a capacitor 238 serves as 2VDD(s)2.

Next, when clocks CK1 and CK3 change to high level and clocks XCK1, XCK3, and XCK4 change to a low level again, the P-channel MOS transistors 202, 212, and 234 and the N-channel MOS transistor 226 turn on, the potential of the earth side of a capacitor 238 rises from touch-down to VDD2, and the potential of the non-grounded side of a capacitor 238 rises from 2VDD(s)2 to 3VDD(s)2 in connection with this. That is, the potential of the non-grounded side of a capacitor 240 serves as 3VDD(s)2. By repeating the above-mentioned actuation, one 3 times the pressure-up electrical potential difference of supply voltage will continue, and it will be obtained from the output section 210.

As mentioned above, it is not concerned with the multiple of pressure up, but it becomes possible from the output section 210 to obtain the pressure-up electrical potential difference which does not produce an electrical-potential-difference loss.

[0054]

= Operation gestalt == of == and others

As mentioned above, although the booster circuit concerning this invention and its integrated circuit were explained based on the 1st thru/or 3rd operation gestalt, the above-mentioned gestalt of implementation of invention is for making an understanding of this invention easy, and does not limit this invention. This invention is natural while changing and improving that of the equivalent being contained in this invention, without deviating from the meaning.

[0055]

<< switching device group >>

Although the switching device group in this operation gestalt is an MOS transistor, it is not limited to this. For example, integrating is also possible by using a bipolar transistor as a switching device group.

Moreover, it is also possible to constitute a discrete circuit, using contact switches, such as a relay, as a switching device group.

[0056]

[Effect of the Invention]

According to this invention, it is not concerned with the number of input voltage, and the multiple of pressure up, but it becomes possible to obtain the pressure-up electrical potential difference which does not produce an electrical-potential-difference loss from the output section.

[Brief Description of the Drawings]

[Drawing 1] It is the circuit block diagram showing an example of the booster circuit of this invention.

[Drawing 2] In the booster circuit of drawing 1, it is a timing diagram when carrying out 2 double pressure up of the supply voltage VDD1.

[Drawing 3] In the booster circuit of drawing 1, it is a timing diagram when carrying out 2 double pressure up of the supply voltage VDD2.

[Drawing 4] It is the circuit block diagram showing other examples of the booster circuit of this invention.

[Drawing 5] In the booster circuit of drawing 4, it is a timing diagram when carrying out 2 double pressure up of the supply voltage VDD1.

[Drawing 6] In the booster circuit of drawing 4, it is a timing diagram when carrying out 2 double pressure up of the supply voltage VDD2.

[Drawing 7] In the booster circuit of drawing 4, it is a timing diagram when carrying out 2 double pressure up of the supply voltage VDD3.

[Drawing 8] It is the circuit block diagram showing other examples of the booster circuit of this invention.

[Drawing 9] In the booster circuit of drawing 8, it is a timing diagram when carrying out pressure up of the supply

voltage VDD1 3 times.

[Drawing 10] In the booster circuit of drawing 8 , it is a timing diagram when carrying out pressure up of the supply voltage VDD2 3 times.

[Drawing 11] It is the circuit diagram showing the conventional booster circuit.

[Description of Notations]

2, 4, and 10,102 P-channel MOS transistor (the 1st switching device group)

6 12,104,208,214 Input section

8,210 Output section

14, 16, and 18,106 Level shift circuit

20 24,108 P-channel MOS transistor (the 2nd switching device group)

22 N-channel MOS Transistor (2nd Switching Device Group)

202, 204, 206, and 212 P-channel MOS transistor (the 1st switching device group)

224, 228, 230, and 234 P-channel MOS transistor (the 2nd switching device group)

226 232 N-channel MOS transistor (the 2nd switching device group)

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit block diagram showing an example of the booster circuit of this invention.

[Drawing 2] In the booster circuit of drawing 1 , it is a timing diagram when carrying out 2 double pressure up of the supply voltage VDD1.

[Drawing 3] In the booster circuit of drawing 1 , it is a timing diagram when carrying out 2 double pressure up of the supply voltage VDD2.

[Drawing 4] It is the circuit block diagram showing other examples of the booster circuit of this invention.

[Drawing 5] In the booster circuit of drawing 4 , it is a timing diagram when carrying out 2 double pressure up of the supply voltage VDD1.

[Drawing 6] In the booster circuit of drawing 4 , it is a timing diagram when carrying out 2 double pressure up of the supply voltage VDD2.

[Drawing 7] In the booster circuit of drawing 4 , it is a timing diagram when carrying out 2 double pressure up of the supply voltage VDD3.

[Drawing 8] It is the circuit block diagram showing other examples of the booster circuit of this invention.

[Drawing 9] In the booster circuit of drawing 8 , it is a timing diagram when carrying out pressure up of the supply voltage VDD1 3 times.

[Drawing 10] In the booster circuit of drawing 8 , it is a timing diagram when carrying out pressure up of the supply voltage VDD2 3 times.

[Drawing 11] It is the circuit diagram showing the conventional booster circuit.

[Description of Notations]

2, 4, and 10,102 P-channel MOS transistor (the 1st switching device group)

6 12,104,208,214 Input section

8,210 Output section

14, 16, and 18,106 Level shift circuit

20 24,108 P-channel MOS transistor (the 2nd switching device group)

22 N-channel MOS Transistor (2nd Switching Device Group)

202, 204, 206, and 212 P-channel MOS transistor (the 1st switching device group)

224, 228, 230, and 234 P-channel MOS transistor (the 2nd switching device group)

226 232 N-channel MOS transistor (the 2nd switching device group)

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-96881

(P2004-96881A)

(43) 公開日 平成16年3月25日 (2004.3.25)

(51) Int. Cl. 7

H02M 3/07

H01L 21/822

H01L 27/04

F1

H02M 3/07

H01L 27/04

G

テーマコード (参考)

5F038

5H730

審査請求 未請求 請求項の数 9 O.L. (全 14 頁)

(21) 出願番号 特願2002-253964 (P2002-253964)

(22) 出願日 平成14年8月30日 (2002.8.30)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(74) 代理人 100071283

弁理士 一色 健輔

(74) 代理人 100084906

弁理士 原島 典孝

(74) 代理人 100098523

弁理士 黒川 恵

(72) 発明者 大高 信行

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

Fターム (参考) 5F038 AV06 BB05 BG03 BG06 EZ20

5H730 AA14 AS00 AS04 BB02 CC16

DD04

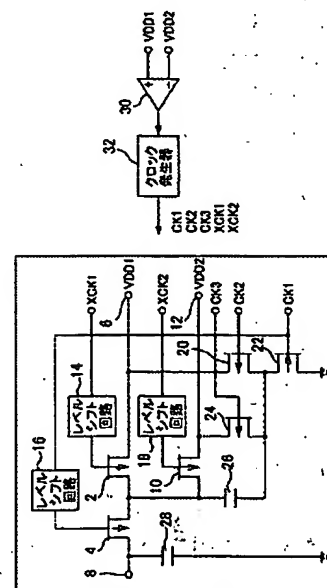
(54) 【発明の名称】 昇圧回路およびその集積回路

(57) 【要約】

【課題】 電圧ロスを生じない昇圧電圧を得る。

【解決手段】 複数の入力電圧が供給される複数の入力部と、前記複数の入力部の何れかに供給された前記入力電圧の昇圧電圧が出力される出力部と、第1容量素子と、前記第1容量素子の一端を、前記複数の入力部の何れかまたは前記出力部と接続するための第1スイッチ素子群と、前記第1容量素子の他端を、前記複数の入力部の何れかまたは所定電圧部と接続するための第2スイッチ素子群と、前記出力部と所定電圧部との間に接続される第2容量素子と、を有し、前記第1スイッチ素子群および前記第2スイッチ素子群を制御信号にて切り換え、前記出力部から前記昇圧電圧を得ることを特徴とする。

【選択図】 図1



(2)

【特許請求の範囲】

【請求項1】

複数の入力電圧が供給される複数の入力部と、
前記複数の入力部の何れかに供給された前記入力電圧の昇圧電圧が出力される出力部と、
第1容量素子と、
前記第1容量素子の一端を、前記複数の入力部の何れかまたは前記出力部と接続するための第1スイッチ素子群と、
前記第1容量素子の他端を、前記複数の入力部の何れかまたは所定電圧部と接続するための第2スイッチ素子群と、
前記出力部と所定電圧部との間に接続される第2容量素子と、を有し、
前記第1スイッチ素子群および前記第2スイッチ素子群を制御信号にて切り換え、前記出力部から前記昇圧電圧を得ることを特徴とする昇圧回路。

【請求項2】

前記第1スイッチ素子群および前記第2スイッチ素子群を選択的に切り換え、前記出力部から前記昇圧電圧を得るための制御信号を発生する制御信号発生部を、有することを特徴とする請求項1記載の昇圧回路。

【請求項3】

前記制御信号発生部は、前記第1容量素子の一端を前記複数の入力部の何れかと接続し且つ前記第1容量素子の他端を前記所定電圧部と接続し、または、前記第1容量素子の一端を前記出力部と接続し且つ前記第1容量素子の他端を前記複数の入力部の何れかと接続すべく、前記制御信号を発生することを特徴とする請求項2記載の昇圧回路。

【請求項4】

前記制御信号発生部は、前記複数の入力電圧から所定の入力電圧を検出し、前記出力部から前記所定の入力電圧の昇圧電圧を得るための制御信号を発生することを特徴とする請求項2または3記載の昇圧回路。

【請求項5】

前記制御信号発生部は、前記複数の入力電圧から最も高い入力電圧を検出し、前記出力部から前記最も高い入力電圧の昇圧電圧を得るための制御信号を発生することを特徴とする請求項4記載の昇圧回路。

【請求項6】

前記第1スイッチ素子群および前記第2スイッチ素子群は、前記制御信号が供給されてオンオフするトランジスタであることを特徴とする請求項1乃至5の何れかに記載の昇圧回路。

【請求項7】

前記トランジスタをオンするとき、前記制御信号を所定レベルまでシフトするレベルシフト回路を有することを特徴とする請求項6記載の昇圧回路。

【請求項8】

前記制御信号は、前記トランジスタをオン可能なレベルを予め有することを特徴とする請求項6記載の昇圧回路。

【請求項9】

請求項1乃至8の何れかに記載の昇圧回路を集積化したことを特徴とする集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、昇圧回路およびその集積回路に関する。

【0002】

【従来の技術】

入力電圧を所定レベルの出力電圧まで昇圧するための昇圧回路としては、チャージポンプ回路が広く知られている。

ここで、携帯機器（例えば、音楽、映像等の記録再生機器、携帯電話）を駆動するための

(3)

電源としては、商用電源等からアダプタを介して得られる直流電源と、バッテリーから得られる直流電源とが使用される。携帯機器は、主としてバッテリーの直流電源が供給されて動作するため、バッテリーの直流電源が低下しても内部回路が正常動作を継続できるように、商用電源等からアダプタを介して得られる直流電源またはバッテリーから得られる直流電源の何れか一方を適宜選択する昇圧回路が内蔵されているものがある。

【0003】

図11は、複数の入力電圧（電源電圧）の何れかを選択して昇圧する、従来の昇圧回路の一例を示す回路図である。なお、電源電圧VDD1は、バッテリーから得られる直流電源（例えば3.2V～4.2V）とし、電源電圧VDD2は、商用電源からアダプタを介して得られる直流電源（例えば5V）とする。

【0004】

図11において、バッテリーを装着している携帯機器がアダプタを介して商用電源と接続されると、即ち、電源電圧VDD1および電源電圧VDD2が同時に供給されると、電源電圧VDD1側のダイオード302のカソード電位が押し上げられてダイオード302がオフし、これにより、電源電圧VDD2がダイオード304を介して昇圧回路に優先的に供給されることとなる。また、一方の電源電圧が供給される場合は、その一方の電源電圧のみが昇圧回路に供給されることとなる。

【0005】

電源電圧VDD1（電源電圧VDD2）は、クロックCKおよびクロックXCK（クロックCKの反転）が供給されるP型MOSトランジスタ306乃至310およびN型MOSトランジスタ312のオンオフに従って昇圧され、この昇圧電圧は、出力部から得られることとなる。

【0006】

【発明が解決しようとする課題】

しかしながら、コンデンサ314の両端電圧は、電源電圧VDD1（電源電圧VDD2）からダイオード302（ダイオード304）の立ち上がり電圧分の電圧降下を生じる。これに伴って、出力部側のコンデンサ316の両端電圧は、その2倍の電圧降下を生じることとなる。つまり、携帯機器においては、電源電圧自体が低いため、電源電圧がダイオードの立ち上がり電圧の2倍の電圧降下を生じると、十分な昇圧効果を得ることができなくなる問題があった。なお、図11の昇圧回路は、電源電圧の2倍の昇圧電圧を得るものであるが、この問題は、2倍より大きい昇圧電圧を得るほど顕著なものとなる。

【0007】

【課題を解決するための手段】

前記課題を解決するための主たる発明は、複数の入力電圧が供給される複数の入力部と、前記複数の入力部の何れかに供給された前記入力電圧の昇圧電圧が出力される出力部と、第1容量素子と、前記第1容量素子の一端を、前記複数の入力部の何れかまたは前記出力部と接続するための第1スイッチ素子群と、前記第1容量素子の他端を、前記複数の入力部の何れかまたは所定電圧部と接続するための第2スイッチ素子群と、前記出力部と所定電圧部との間に接続される第2容量素子と、を有し、前記第1スイッチ素子群および前記第2スイッチ素子群を制御信号にて切り換え、前記出力部から前記昇圧電圧を得ることを特徴とする昇圧回路。

【0008】

本発明の上記以外の特徴とするところは、本明細書および添付図面の記載により明らかとなる。

【0009】

【発明の実施の形態】

===開示の概要===

本明細書および添付図面の記載により、少なくとも、以下の事項が明らかとなる。

複数の入力電圧が供給される複数の入力部と、前記複数の入力部の何れかに供給された前記入力電圧の昇圧電圧が出力される出力部と、第1容量素子と、前記第1容量素子の一端

(4)

を、前記複数の入力部の何れかまたは前記出力部と接続するための第1スイッチ素子群と、前記第1容量素子の他端を、前記複数の入力部の何れかまたは所定電圧部と接続するための第2スイッチ素子群と、前記出力部と所定電圧部との間に接続される第2容量素子と、を有し、前記第1スイッチ素子群および前記第2スイッチ素子群を制御信号にて切り換え、前記出力部から前記昇圧電圧を得ることを特徴とする昇圧回路。

前記昇圧回路によれば、第1スイッチ素子群および第2スイッチ素子群を制御信号にて適宜切り換えることで、複数の入力電圧の何倍の昇圧電圧を得る場合であっても、電圧ロスを生じない昇圧電圧を得ることが可能となる。

【0010】

また、かかる昇圧回路において、前記第1スイッチ素子群および前記第2スイッチ素子群を選択的に切り換え、前記出力部から前記昇圧電圧を得るための制御信号を発生する制御信号発生部を、有することとする。そして、前記制御信号発生部は、前記第1容量素子の一端を前記複数の入力部の何れかと接続し且つ前記第1容量素子の他端を前記所定電圧部と接続し、または、前記第1容量素子の一端を前記出力部と接続し且つ前記第1容量素子の他端を前記複数の入力部の何れかと接続すべく、前記制御信号を発生することとすればよい。

前記昇圧回路によれば、制御信号発生部を有することで、第1スイッチ素子群および第2スイッチ素子群の何れかを適宜切り換えて、電圧ロスを生じない昇圧電圧を得ることが可能となる。

【0011】

また、かかる昇圧回路において、前記制御信号発生部は、前記複数の入力電圧から所定の入力電圧を検出し、前記出力部から前記所定の入力電圧の昇圧電圧を得るための制御信号を発生することとする。特に、前記制御信号発生部は、前記複数の入力電圧から最も高い入力電圧を検出し、前記出力部から前記最も高い入力電圧の昇圧電圧を得るための制御信号を発生することとする。

前記昇圧回路によれば、最も高い入力電圧を検出することで、例えば商用電源からアダプタを介して得られる電源電圧等から、電圧ロスを生じない昇圧電圧を優先的に得ることが可能となる。

【0012】

また、かかる昇圧回路において、前記第1スイッチ素子群および前記第2スイッチ素子群は、前記制御信号が供給されてオンオフするトランジスタであることとしてもよい。

前記昇圧回路によれば、トランジスタをオンオフしてスイッチングすることで、電圧ロスを生じない昇圧電圧を得ることが可能となる。

【0013】

また、かかる昇圧回路において、前記トランジスタをオンするとき前記制御信号を所定レベルまでシフトするレベルシフト回路を有することとしてもよい。

前記昇圧回路によれば、トランジスタをレベルシフト回路を用いてオンオフすることで、電圧ロスを生じない昇圧電圧を確実に得ることが可能となる。

【0014】

また、かかる昇圧回路において、前記制御信号は、前記トランジスタをオン可能なレベルを予め有することとしてもよい。

前記昇圧回路によれば、制御信号がトランジスタをオン可能なレベルを有することで、電圧ロスを生じない昇圧電圧を確実に得ることが可能となる。

【0015】

更に、かかる昇圧回路を集積化してもよい。

【0016】

===第1の実施形態===

図1乃至図3を参照しつつ、本発明の昇圧回路について説明する。図1は、本発明の昇圧回路の一例を示す回路ブロック図である。図2は、電源電圧VDD1を昇圧するときのタイムチャートである。図3は、電源電圧VDD2を昇圧するときのタイムチャートである。

(5)

。なお、図1の昇圧回路は、例えば携帯機器に内蔵されるものとして説明する。ここで、電源電圧VDD1は、バッテリーから得られる直流電源、電源電圧VDD2は、商用電源からアダプタを介して得られる直流電源であるものとする。

【0017】

《第1の実施形態の構成》

図1において、P型MOSトランジスタ2、4は、そのドレインソース路が電源電圧VDD1の入力部6および昇圧電圧の出力部8の間に直列接続されたものである。また、P型MOSトランジスタ10は、そのドレインソース路が電源電圧VDD2の入力部12およびP型MOSトランジスタ2、4のドレインソース接続点の間に接続されたものである。また、P型MOSトランジスタ2は、そのゲートがクロックXCK1をレベルシフトするためのレベルシフト回路14の出力側と接続され、P型MOSトランジスタ4は、そのゲートがクロックCK1をレベルシフトするためのレベルシフト回路16の出力側と接続され、P型MOSトランジスタ10は、そのゲートがクロックXCK2をレベルシフトするためのレベルシフト回路18の出力側と接続される。これらのP型MOSトランジスタ2、4、10は、請求項に言う第1スイッチ素子群を構成する。

【0018】

P型MOSトランジスタ20およびN型MOSトランジスタ22は、そのドレインソース路が入力部6および接地（所定電圧部）の間に直列接続されるものである。また、P型MOSトランジスタ24は、そのドレインソース路が入力部12とP型MOSトランジスタ20およびN型MOSトランジスタ22のソース接続点との間に接続されるものである。また、P型MOSトランジスタ20は、そのゲートにクロックCK2が供給され、N型MOSトランジスタ22は、そのゲートにクロックCK1が供給され、P型MOSトランジスタ24は、そのゲートにクロックCK3が供給される。これらのP型MOSトランジスタ20、24およびN型MOSトランジスタ22は、請求項に言う第2スイッチ素子群を構成する。

【0019】

コンデンサ26（第1容量素子）は、その両端がP型MOSトランジスタ2、4のドレインソース接続点と、P型MOSトランジスタ20およびN型MOSトランジスタ22のドレイン接続点との間に接続されるものである。また、コンデンサ28（第2容量素子）は、その両端が出力部8および接地の間に接続されるものである。

【0020】

なお、クロックCK1、CK2、CK3、XCK1、XCK2は同一周波数であり、クロックCK1、CK2、CK3は、クロックXCK1、XCK2とは逆相である。また、コンデンサ26、28の非接地側の一端は、電源電圧の2倍値まで上昇するので、レベルシフト回路14、16、18は、P型MOSトランジスタ2、4、10を確実にオンするために設けられている。但し、クロックCK1、XCK1、XCK2が、P型MOSトランジスタ2、4、10のドレインソース電圧に関わらず、P型MOSトランジスタ2、4、10を確実にオンできるレベルを有しているならば、レベルシフト回路14、16、18は不要となる。

【0021】

比較器30は、+（非反転入力）端子に電源電圧VDD1（またはその分圧値）が供給されるとともに、-（反転入力）端子に電源電圧VDD2（またはその分圧値）が供給され、携帯機器がどの電源電圧を使用しているのかを検出するものである。詳述すると、比較器30は、携帯機器がバッテリーから得られる直流電源を使用しているとき、 $VDD1 > VDD2$ となって論理値“H”を出力する。また、比較器30は、携帯機器が商用電源から得られる直流電源を使用しているとき、バッテリーの使用の有無に関わらず $VDD1 < VDD2$ となって論理値“L”を出力する。

【0022】

クロック発生器32は、比較器30の出力論理値に応じて、電源電圧VDD1または電源電圧VDD2の何れかを昇圧するためのクロックCK1、CK2、CK3、XCK1、X

(6)

CK2 (制御信号) を発生するものである。詳述すると、クロック発生器32は、比較器30が論理値“H”を出力したとき、図2に示す電源電圧VDD1を昇圧するためのクロックCK1、CK2、CK3、XCK1、XCK2を発生する。一方、クロック発生器32は、比較器30が論理値“L”を出力したとき、図3に示す電源電圧VDD2を昇圧するためのクロックCK1、CK2、CK3、XCK1、XCK2 (制御信号) を発生する。

【0023】

なお、比較器30およびクロック発生器32は、マイクロコンピュータで構成可能であって、請求項に言う制御信号発生部を構成する。また、図1の全体または一部を集積化することも可能である。

【0024】

《第1の実施形態の動作》

比較器30からの論理値が“H”であるとき、クロック発生部32は、比較器30の出力に従って図2の状態のクロックCK1、CK2、CK3、XCK1、XCK2を発生する。このとき、クロックCK1、CK2、XCK1は所定周波数のハイレベルとローレベルを繰り返し、クロックCK3、XCK2はハイレベルに固定されている。つまり、P型MOSトランジスタ10、24がオフし、昇圧回路への電源電圧VDD2の供給路は遮断される。

【0025】

先ず、クロックCK1、CK2がハイレベル、クロックXCK1がローレベルのとき、P型MOSトランジスタ2およびN型MOSトランジスタ22がオンし、コンデンサ26の非接地側の電位はVDD1となり、コンデンサ26の接地側の電位は接地される。次に、クロックCK1、CK2がローレベル、クロックXCK1がハイレベルに変化したとき、P型MOSトランジスタ4、20がP型MOSトランジスタ2およびN型MOSトランジスタ22とは相補的な状態でオンし、コンデンサ26の接地側の電位は接地からVDD1まで上昇し、これに伴い、コンデンサ26の非接地側の電位はVDD1から2VDD1まで上昇する。即ち、コンデンサ28の非接地側の電位は2VDD1となる。上記の動作を繰り返すことにより、出力部8からは電源電圧VDD1の2倍の昇圧電圧が継続して得られることとなる。

【0026】

一方、比較器30からの論理値が“L”であるとき、クロック発生部32は、比較器30の出力に従って図3の状態のクロックCK1、CK2、CK3、XCK1、XCK2を発生する。このとき、クロックCK1、CK3、XCK2は所定周波数のハイレベルとローレベルを繰り返し、クロックCK2、XCK1はハイレベルに固定されている。つまり、P型MOSトランジスタ2、20がオフし、昇圧回路への電源電圧VDD1の供給路は遮断される。

【0027】

先ず、クロックCK1、CK3がハイレベル、クロックXCK2がローレベルのとき、P型MOSトランジスタ10およびN型MOSトランジスタ22がオンし、コンデンサ26の非接地側の電位はVDD2となり、コンデンサ26の接地側の電位は接地される。次に、クロックCK1、CK3がローレベル、クロックXCK2がハイレベルに変化したとき、P型MOSトランジスタ4、24がP型MOSトランジスタ10およびN型MOSトランジスタ22とは相補的な状態でオンし、コンデンサ26の接地側の電位は接地からVDD2まで上昇し、これに伴い、コンデンサ26の非接地側の電位はVDD2から2VDD2まで上昇する。即ち、コンデンサ28の非接地側の電位は2VDD2となる。上記の動作を繰り返すことにより、出力部8からは電源電圧VDD2の2倍の昇圧電圧が継続して得られることとなる。

以上より、出力部8からは電圧ロスを生じない昇圧電圧を得ることが可能となる。

【0028】

===第2の実施形態===

(7)

次に、図4乃至図7を参照しつつ、本発明の昇圧回路について説明する。図4は、本発明の昇圧回路の他の一例を示す回路ブロック図である。図5は、電源電圧VDD1を昇圧するときのタイムチャートである。図6は、電源電圧VDD2を昇圧するときのタイムチャートである。図7は、電源電圧VDD3を昇圧するときのタイムチャートである。なお、図4の昇圧回路は、図1の昇圧回路と同様に、例えば携帯機器に内蔵されるものとして説明する。ここで、電源電圧VDD1は、バッテリーから得られる直流電源、電源電圧VDD2は、商用電源からアダプタを介して得られる直流電源、電源電圧VDD3は、他の電源（例えば車両のバッテリー等）からアダプタを介して得られる直流電源であるものとする。

【0029】

《第2の実施形態の構成》

図4の昇圧回路は、図1の昇圧回路を改良したものである。そこで、図1と同一素子については同一番号を付記するのみでその説明を省略することとする。

【0030】

図4において、P型MOSトランジスタ102は、そのドレインソース路が電源電圧VDD3の入力部104およびP型MOSトランジスタ2、4のドレインソース接続点の間に接続されるものである。また、P型MOSトランジスタ102は、そのゲートがクロックXCK3をレベルシフトするためのレベルシフト回路106の出力側と接続される。そして、P型MOSトランジスタ2、4、10、102は、請求項に言う第1スイッチ素子群を構成する。

【0031】

P型MOSトランジスタ108は、そのドレインソース路が入力部104とP型MOSトランジスタ20およびN型MOSトランジスタ22のソース接続点との間に接続されるものである。また、P型MOSトランジスタ108は、そのゲートにクロックCK4が供給される。そして、P型MOSトランジスタ20、24、108およびN型MOSトランジスタ22は、請求項に言う第2スイッチ素子群を構成する。

【0032】

なお、クロックCK1、CK2、CK3、CK4、XCK1、XCK2、XCK3は同一周波数であり、クロックCK1、CK2、CK3、CK4は、クロックXCK1、XCK2、XCK3とは逆相である。また、コンデンサ26の非接地側の一端は、電源電圧の2倍値まで上昇するので、レベルシフト回路106は、P型MOSトランジスタ102を確実にオンするために設けられている。但し、クロックXCK3が、P型MOSトランジスタ102のドレインソース電圧に関わらず、P型MOSトランジスタ102を確実にオンできるレベルを有しているならば、レベルシフト回路106は不要となる。

【0033】

比較器110は、電源電圧VDD1（またはその分圧値）、電源電圧VDD2（またはその分圧値）、および、電源電圧VDD3（またはその分圧値）が供給され、携帯機器がどの電源電圧を使用しているのかを検出するものである。詳述すると、比較器110は、携帯機器がバッテリーから得られる直流電源を使用しているとき、論理値“HH”を出力する。また、比較器110は、携帯機器が商用電源から得られる直流電源を使用しているとき、バッテリーの使用の有無に関わらず論理値“LH”を出力する。また、比較器110は、携帯機器が他の電源から得られる直流電源を使用しているとき、バッテリーの使用の有無に関わらず論理値“HL”を出力する。なお、比較器110の論理値は、携帯機器が使用している電源電圧を判別するためのものであり、論理値および電源電圧の対応付けは適宜変更可能である。

【0034】

クロック発生器112は、比較器110の出力論理値に応じて、電源電圧VDD1、電源電圧VDD2、電源電圧VDD3の何れかを昇圧するためのクロックCK1、CK2、CK3、CK4、XCK1、XCK2、XCK3（制御信号）を発生するものである。詳述すると、クロック発生器112は、比較器110が論理値“HH”を出力したとき、図5

(8)

に示す電源電圧VDD1を昇圧するためのクロックCK1、CK2、CK3、CK4、XCK1、XCK2、XCK3を発生する。また、クロック発生器112は、比較器110が論理値“LH”を出力したとき、図6に示す電源電圧VDD2を昇圧するためのクロックCK1、CK2、CK3、CK4、XCK1、XCK2、XCK3（制御信号）を発生する。更に、クロック発生器112は、比較器110が論理値“HL”を出力したとき、図7に示す電源電圧VDD3を昇圧するためのクロックCK1、CK2、CK3、CK4、XCK1、XCK2、XCK3を発生する。

【0035】

なお、比較器110およびクロック発生器112は、マイクロコンピュータで構成可能であって、請求項に言う制御信号発生部を構成する。また、図4の全体または一部を集積化することも可能である。

【0036】

《第2の実施形態の動作》

比較器110からの論理値が“HH”であるとき、クロック発生部112は、比較器110の出力に従って図5の状態のクロックCK1、CK2、CK3、CK4、XCK1、XCK2、XCK3を発生する。このとき、クロックCK1、CK2、XCK1は所定周波数のハイレベルとローレベルを繰り返し、クロックCK3、CK4、XCK2、XCK3はハイレベルに固定されている。つまり、P型MOSトランジスタ10、24がオフして昇圧回路への電源電圧VDD2の供給路は遮断されるとともに、P型MOSトランジスタ102、108がオフして昇圧回路への電源電圧VDD3の供給路も遮断される。

【0037】

先ず、クロックCK1、CK2がハイレベル、クロックXCK1がローレベルのとき、P型MOSトランジスタ2およびN型MOSトランジスタ22がオンし、コンデンサ26の非接地側の電位はVDD1となり、コンデンサ26の接地側の電位は接地される。次に、クロックCK1、CK2がローレベル、クロックXCK1がハイレベルに変化したとき、P型MOSトランジスタ4、20がP型MOSトランジスタ2およびN型MOSトランジスタ22とは相補的な状態でオンし、コンデンサ26の接地側の電位は接地からVDD1まで上昇し、これに伴い、コンデンサ26の非接地側の電位はVDD1から2VDD1まで上昇する。即ち、コンデンサ28の非接地側の電位は2VDD1となる。上記の動作を繰り返すことにより、出力部8からは電源電圧VDD1の2倍の昇圧電圧が継続して得られることとなる。

【0038】

また、比較器110からの論理値が“LH”であるとき、クロック発生部112は、比較器110の出力に従って図6の状態のクロックCK1、CK2、CK3、CK4、XCK1、XCK2、XCK3を発生する。このとき、クロックCK1、CK3、XCK2は所定周波数のハイレベルとローレベルを繰り返し、クロックCK2、CK4、XCK1、XCK3はハイレベルに固定されている。つまり、P型MOSトランジスタ2、20がオフして昇圧回路への電源電圧VDD1の供給路は遮断されるとともに、P型MOSトランジスタ102、108がオフして昇圧回路への電源電圧VDD3の供給路も遮断される。

【0039】

先ず、クロックCK1、CK3がハイレベル、クロックXCK2がローレベルのとき、P型MOSトランジスタ10およびN型MOSトランジスタ22がオンし、コンデンサ26の非接地側の電位はVDD2となり、コンデンサ26の接地側の電位は接地される。次に、クロックCK1、CK3がローレベル、クロックXCK2がハイレベルに変化したとき、P型MOSトランジスタ4、24がP型MOSトランジスタ10およびN型MOSトランジスタ22とは相補的な状態でオンし、コンデンサ26の接地側の電位は接地からVDD2まで上昇し、これに伴い、コンデンサ26の非接地側の電位はVDD2から2VDD2まで上昇する。即ち、コンデンサ28の非接地側の電位は2VDD2となる。上記の動作を繰り返すことにより、出力部8からは電源電圧の2倍の昇圧電圧が継続して得られることとなる。

(9)

【0040】

更に、比較器110からの論理値が“HL”であるとき、クロック発生部112は、比較器110の出力に従って図7の状態のクロックCK1、CK2、CK3、CK4、XCK1、XCK2、XCK3を発生する。このとき、クロックCK1、CK4、XCK3は所定周波数のハイレベルとローレベルを繰り返し、クロックCK2、CK3、XCK1、XCK2はハイレベルに固定されている。つまり、P型MOSトランジスタ2、20がオフして昇圧回路への電源電圧VDD1の供給路は遮断されるとともに、P型MOSトランジスタ10、24がオフして昇圧回路への電源電圧VDD2の供給路も遮断される。

【0041】

先ず、クロックCK1、CK4がハイレベル、クロックXCK3がローレベルのとき、P型MOSトランジスタ102およびN型MOSトランジスタ22がオンし、コンデンサ26の非接地側の電位はVDD3となり、コンデンサ26の接地側の電位は接地される。次に、クロックCK1、CK4がローレベル、クロックXCK3がハイレベルに変化したとき、P型MOSトランジスタ4、108がP型MOSトランジスタ102およびN型MOSトランジスタ22とは相補的な状態でオンし、コンデンサ26の接地側の電位は接地からVDD3まで上昇し、これに伴い、コンデンサ26の非接地側の電位はVDD3から2VDD3まで上昇する。即ち、コンデンサ28の非接地側の電位は2VDD3となる。上記の動作を繰り返すことにより、出力部8からは電源電圧VDD3の2倍の昇圧電圧が継続して得られることとなる。

以上より、電源電圧の数に関わらず、出力部8からは電圧ロスを生じない昇圧電圧を得ることが可能となる。

【0042】

===第3の実施形態===

次に、図8乃至図10を参照しつつ、本発明の昇圧回路について説明する。図8は、本発明の昇圧回路の他の一例を示す回路ブロック図である。図9は、電源電圧VDD1を昇圧するときのタイムチャートである。図10は、電源電圧VDD2を昇圧するときのタイムチャートである。なお、図8の昇圧回路は、図1の昇圧回路と同様に、例えば携帯機器に内蔵されるものとして説明する。ここで、電源電圧VDD1は、バッテリーから得られる直流電源、電源電圧VDD2は、商用電源からアダプタを介して得られる直流電源であるものとする。

【0043】

《第3の実施形態の構成》

図8において、P型MOSトランジスタ202、204、206は、そのドレインソース路が電源電圧VDD1の入力部208および昇圧電圧の出力部210の間に直列接続されたものである。また、P型MOSトランジスタ212は、そのドレインソース路が電源電圧VDD2の入力部214およびP型MOSトランジスタ202、204のドレインソース接続点の間に接続されたものである。また、P型MOSトランジスタ202は、そのゲートがクロックXCK2をレベルシフトするためのレベルシフト回路216の出力側と接続され、P型MOSトランジスタ204は、そのゲートがクロックCK1をレベルシフトするためのレベルシフト回路218の出力側と接続され、P型MOSトランジスタ206は、そのゲートがクロックXCK3をレベルシフトするためのレベルシフト回路220の出力側と接続され、更に、P型MOSトランジスタ212は、そのゲートがクロックXCK4をレベルシフトするためのレベルシフト回路222の出力側と接続される。これらのP型MOSトランジスタ202、204、206、212は、請求項に言う第1スイッチ素子群を構成する。

【0044】

P型MOSトランジスタ224およびN型MOSトランジスタ226は、そのドレインソース路が入力部208および接地（所定電圧部）の間に直列接続されるものである。また、P型MOSトランジスタ228は、そのドレインソース路が入力部214とP型MOSトランジスタ224およびN型MOSトランジスタ226のソース接続点との間に接続さ

(10)

れるものである。また、P型MOSトランジスタ230およびN型MOSトランジスタ232は、そのドレインソース路が入力部208および接地の間に直列接続されるものである。また、P型MOSトランジスタ234は、そのドレインソース路が入力部214とP型MOSトランジスタ230およびN型MOSトランジスタ232のソース接続点との間に接続されるものである。また、P型MOSトランジスタ224は、そのゲートにクロックCK2が供給され、N型MOSトランジスタ226は、そのゲートにクロックCK1が供給され、P型MOSトランジスタ228は、そのゲートにクロックXCK3が供給される。また、P型MOSトランジスタ230は、そのゲートにクロックXCK2が供給され、N型MOSトランジスタ232は、そのゲートにクロックXCK1が供給され、P型MOSトランジスタ234は、そのゲートにクロックXCK4が供給される。これらのP型MOSトランジスタ224、228、230、234およびN型MOSトランジスタ226、232は、請求項に言う第2スイッチ素子群を構成する。

【0045】

コンデンサ236（第1容量素子）は、その両端がP型MOSトランジスタ202、204のドレインソース接続点と、P型MOSトランジスタ224およびN型MOSトランジスタ226のドレイン接続点との間に接続されるものである。また、コンデンサ238（第1容量素子）は、その両端がP型MOSトランジスタ204、206のドレインソース接続点と、P型MOSトランジスタ230およびN型MOSトランジスタ232のドレイン接続点との間に接続されるものである。更に、コンデンサ240（第2容量素子）は、その両端が出力部210および接地（所定電圧部）の間に接続されるものである。

【0046】

なお、クロックCK1、CK2、CK3、XCK1、XCK2、XCK3、XCK4は同一周波数であり、クロックCK1、CK2、CK3は、クロックXCK1、XCK2、XCK3、XCK4とは逆相である。また、コンデンサ236の非接地側の一端は、電源電圧の2倍値まで上昇し、コンデンサ238、240の非接地側の一端は、電源電圧の3倍値まで上昇するので、レベルシフト回路216、218、220、222は、P型MOSトランジスタ202、204、206、212を確実にオンするために設けられている。但し、クロックCK1、CK3、XCK2、XCK3が、P型MOSトランジスタ202、204、206、212のドレインソース電圧に関わらず、P型MOSトランジスタ202、204、206、212を確実にオンできるレベルを有しているならば、レベルシフト回路216、218、220、222は不要となる。

【0047】

比較器242は、+（非反転入力）端子に電源電圧VDD1（またはその分圧値）が供給されるとともに、-（反転入力）端子に電源電圧VDD2（またはその分圧値）が供給され、携帯機器がどの電源電圧を使用しているのかを検出するものである。詳述すると、比較器242は、携帯機器がバッテリーから得られる直流電源を使用しているとき、 $VDD1 > VDD2$ となって論理値“H”を出力する。また、比較器242は、携帯機器が商用電源から得られる直流電源を使用しているとき、バッテリーの使用の有無に関わらず $VDD1 < VDD2$ となって論理値“L”を出力する。

【0048】

クロック発生器244は、比較器242の出力論理値に応じて、電源電圧VDD1または電源電圧VDD2の何れかを昇圧するためのクロックCK1、CK2、CK3、XCK1、XCK2、XCK3、XCK4（制御信号）を発生するものである。詳述すると、クロック発生器244は、比較器242が論理値“H”を出力したとき、図9に示す電源電圧VDD1を昇圧するためのクロックCK1、CK2、CK3、XCK1、XCK2、XCK3、XCK4を発生する。一方、クロック発生器244は、比較器242が論理値“L”を出力したとき、図10に示す電源電圧VDD2を昇圧するためのクロックCK1、CK2、CK3、XCK1、XCK2、XCK3、XCK4（制御信号）を発生する。

【0049】

なお、比較器242およびクロック発生器244は、マイクロコンピュータで構成可能で

(11)

あつて、請求項に言う制御信号発生部を構成する。また、図8の全体または一部を集積化することも可能である。

【0050】

《第3の実施形態の動作》

比較器242からの論理値が“H”であるとき、クロック発生部244は、比較器242の出力に従って図9の状態のクロックCK1、CK2、CK3、XCK1、XCK2、XCK3、XCK4を発生する。このとき、クロックCK1、CK2、XCK1、XCK2、XCK3は所定周波数のハイレベルとローレベルを繰り返し、クロックCK3、XCK4はハイレベルに固定されている。つまり、P型MOSトランジスタ212、228、234がオフし、昇圧回路への電源電圧VDD2の供給路は遮断される。

【0051】

先ず、クロックCK1、CK2がハイレベル、クロックXCK1、XCK2、XCK3がローレベルのとき、P型MOSトランジスタ202、206、230およびN型MOSトランジスタ226がオンし、コンデンサ236の非接地側の電位はVDD1となり、コンデンサ236の接地側の電位は接地される。

次に、クロックCK1、CK2がローレベル、クロックXCK1、XCK2、XCK3がハイレベルに変化したとき、P型MOSトランジスタ204、224およびN型MOSトランジスタ232がオンし、コンデンサ236の接地側の電位は接地からVDD1まで上昇し、これに伴い、コンデンサ236の非接地側の電位はVDD1から2VDD1まで上昇する。即ち、コンデンサ28の非接地側の電位は2VDD1となる。

次に、クロックCK1、CK2がハイレベル、クロックXCK1、XCK2、XCK3がローレベルに再度変化したとき、P型MOSトランジスタ202、206、230およびN型MOSトランジスタ226がオンし、コンデンサ238の接地側の電位は接地からVDD1まで上昇し、これに伴い、コンデンサ238の非接地側の電位は2VDD1から3VDD1まで上昇する。即ち、コンデンサ240の非接地側の電位は3VDD1となる。上記の動作を繰り返すことにより、出力部210からは電源電圧の3倍の昇圧電圧が継続して得られることとなる。

【0052】

一方、比較器242からの論理値が“L”であるとき、クロック発生部244は、比較器242の出力に従って図10の状態のクロックCK1、CK2、CK3、XCK1、XCK2、XCK3、XCK4を発生する。このとき、クロックCK1、CK3、XCK1、XCK3、XCK4は所定周波数のハイレベルとローレベルを繰り返し、クロックCK2、XCK2はハイレベルに固定されている。つまり、P型MOSトランジスタ202、224、230がオフし、昇圧回路への電源電圧VDD1の供給路は遮断される。

【0053】

先ず、クロックCK1、CK3がハイレベル、クロックXCK1、XCK3、XCK4がローレベルのとき、P型MOSトランジスタ206、212、234およびN型MOSトランジスタ226がオンし、コンデンサ236の非接地側の電位はVDD2となり、コンデンサ236の接地側の電位は接地される。

次に、クロックCK1、CK3がローレベル、クロックXCK1、XCK3、XCK4がハイレベルに変化したとき、P型MOSトランジスタ204、228およびN型MOSトランジスタ232がオンし、コンデンサ236の接地側の電位は接地からVDD2まで上昇し、これに伴い、コンデンサ236の非接地側の電位はVDD2から2VDD2まで上昇する。即ち、コンデンサ238の非接地側の電位は2VDD2となる。

次に、クロックCK1、CK3がハイレベル、クロックXCK1、XCK3、XCK4がローレベルに再度変化したとき、P型MOSトランジスタ202、212、234およびN型MOSトランジスタ226がオンし、コンデンサ238の接地側の電位は接地からVDD2まで上昇し、これに伴い、コンデンサ238の非接地側の電位は2VDD2から3VDD2まで上昇する。即ち、コンデンサ240の非接地側の電位は3VDD2となる。上記の動作を繰り返すことにより、出力部210からは電源電圧の3倍の昇圧電圧が継続

(12)

して得られることとなる。

以上より、昇圧の倍数に関わらず、出力部210からは電圧ロスを生じない昇圧電圧を得ることが可能となる。

【0054】

===その他の実施形態===

以上、第1乃至第3の実施形態に基づき、本発明に係る昇圧回路およびその集積回路について説明したが、上記した発明の実施の形態は、本発明の理解を容易とするためのものであり、本発明を限定するものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得るとともに、本発明にはその等価物が含まれることはもちろんである。

【0055】

《スイッチ素子群》

本実施形態におけるスイッチ素子群はMOSトランジスタであるが、これに限定されるものではない。例えば、スイッチ素子群として、バイポーラトランジスタを用いることによって、集積化することも可能である。

また、スイッチ素子群として、リレー等の接点スイッチを用いて、ディスクリート回路を構成することも可能である。

【0056】

【発明の効果】

本発明によれば、入力電圧の数および昇圧の倍数に関わらず、出力部から電圧ロスを生じない昇圧電圧を得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の昇圧回路の一例を示す回路ブロック図である。

【図2】図1の昇圧回路において、電源電圧VDD1を2倍昇圧するときのタイムチャートである。

【図3】図1の昇圧回路において、電源電圧VDD2を2倍昇圧するときのタイムチャートである。

【図4】本発明の昇圧回路の他の一例を示す回路ブロック図である。

【図5】図4の昇圧回路において、電源電圧VDD1を2倍昇圧するときのタイムチャートである。

【図6】図4の昇圧回路において、電源電圧VDD2を2倍昇圧するときのタイムチャートである。

【図7】図4の昇圧回路において、電源電圧VDD3を2倍昇圧するときのタイムチャートである。

【図8】本発明の昇圧回路の他の一例を示す回路ブロック図である。

【図9】図8の昇圧回路において、電源電圧VDD1を3倍昇圧するときのタイムチャートである。

【図10】図8の昇圧回路において、電源電圧VDD2を3倍昇圧するときのタイムチャートである。

【図11】従来の昇圧回路を示す回路図である。

【符号の説明】

2、4、10、102 P型MOSトランジスタ（第1スイッチ素子群）

6、12、104、208、214 入力部

8、210 出力部

14、16、18、106 レベルシフト回路

20、24、108 P型MOSトランジスタ（第2スイッチ素子群）

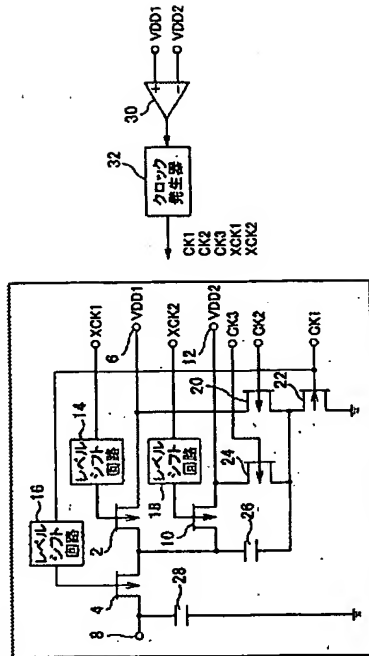
22 N型MOSトランジスタ（第2スイッチ素子群）

202、204、206、212 P型MOSトランジスタ（第1スイッチ素子群）

224、228、230、234 P型MOSトランジスタ（第2スイッチ素子群）

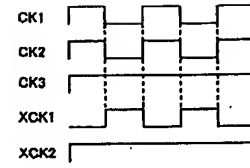
226、232 N型MOSトランジスタ（第2スイッチ素子群）

【図1】

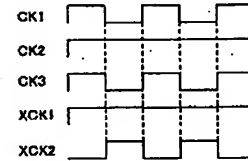


(13)

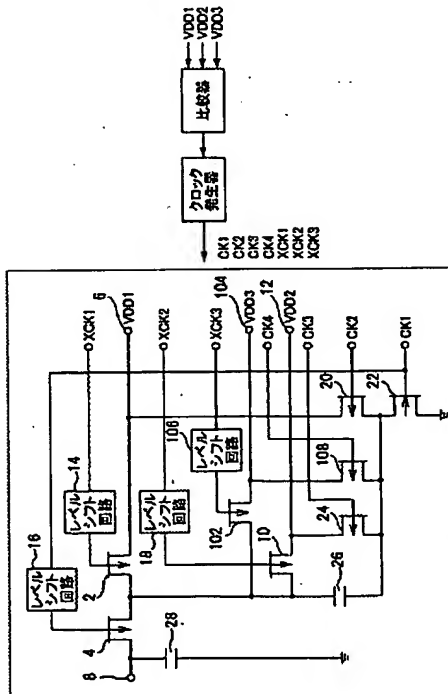
【図2】



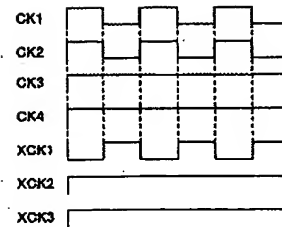
【図3】



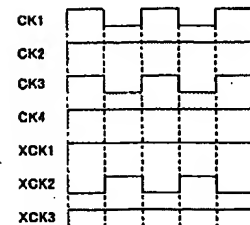
【図4】



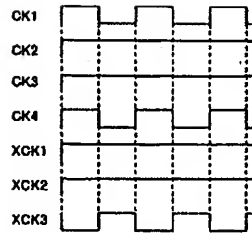
【図5】



【図6】

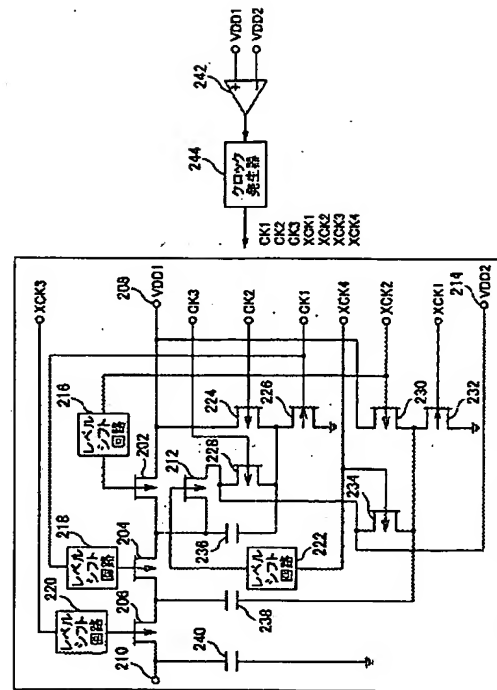


【図7】

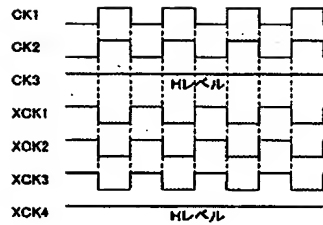


(14)

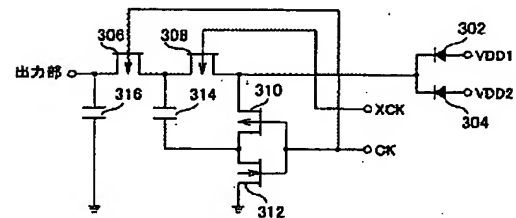
【図8】



【図9】



【図11】



【図10】

